

Reliability analysis of GaN HEMT power devices through Dynamic Gate Stress and Dynamic Reverse Stress

Project objective: To study and improve the reliability of High Electron Mobility Transistors (HEMT) based on Gallium Nitride (GaN) technology using dynamic stress tests (Dynamic Gate Stress - DGS and Dynamic Reverse Stress - DRS). The goal is to understand degradation mechanisms, potential dependencies on voltage, temperature, switching frequency, duty cycle, etc., and propose/identify solutions to optimize the reliability of GaN HEMT devices in power applications.

Activity description:

1. Preliminary study: analysis of the state of the art and definition of the test campaign in collaboration with STMicroelectronics, Catania.
2. Experimental setup preparation: configuration of experimental setup for DGS and DRS tests.
3. Execution of DGS tests: analysis of gate stack stability and related trapping/failure phenomena.
4. Execution of DRB tests: evaluation of breakdown resistance under different stress conditions and/or device geometries.
5. Results analysis: identification of degradation mechanisms and comparison with the state of the art.
6. Collaboration with STMicroelectronics: discussion of results and potential technological optimizations.

Expected results: characterization of degradation mechanisms occurring in GaN HEMT devices under DGS and DRB stress tests, interpretation of results, and potential proposals for optimization to improve the reliability of the devices under test.

Candidate profile: Master's Degree in Electronic Engineering, Engineering Physics, Nanotechnology Engineering, Materials Engineering, Nanotechnologies, or Physics, with the following skills: semiconductor devices, experience with measurement instruments, and strong analytical skills.

Collaborations: the activity will be carried out at the Cesena Campus of the University of Bologna with the support of STMicroelectronics, which will provide the GaN HEMT technology to be tested.

Timeline:

1st-2nd month: preliminary study and initial setup.

3rd-7th month: Dynamic Gate Stress (DGS) tests.

8th-12th month: Dynamic Reverse Stress (DRS) tests.

3rd-12th month: data analysis, discussion with STMicroelectronics, drafting of technical reports/scientific publications.

Future prospects: subject to the agreement of both parties, the research activity could continue through a doctoral program or a temporary extension of the contract.

Analisi dell'affidabilità di dispositivi di potenza GaN HEMT mediante Dynamic Gate Stress e Dynamic Reverse Stress

Obiettivo del progetto: Studiare e migliorare l'affidabilità dei High Electron Mobility Transistor (HEMT) basati su tecnologia al Nitruro di Gallio (GaN) mediante stress test dinamici (Dynamic Gate Stress - DGS e Dynamic Reverse Stress - DRS). L'obiettivo è comprendere i meccanismi di degrado, eventuali dipendenze da tensione, temperatura, frequenza di commutazione, duty cycle, ecc., e proporre/individuare soluzioni per ottimizzare l'affidabilità dei dispositivi GaN HEMT in applicazioni di potenza.

Descrizione delle attività:

1. Studio preliminare: analisi dello stato dell'arte e definizione della campagna di test in collaborazione con STMicroelectronics, Catania.
2. Preparazione del setup sperimentale: configurazione del setup sperimentale per test DGS e DRS.
3. Esecuzione di test DGS: analisi della stabilità dello stack di gate e dei rispettivi fenomeni di trapping e/o failure.
4. Esecuzione di test DRB: valutazione della resistenza al breakdown in diverse condizioni di stress e/o geometrie del dispositivo oggetto di test.
5. Analisi dei risultati: identificazione dei meccanismi di degrado e confronto con lo stato dell'arte.
6. Collaborazione con STMicroelectronics: discussione dei risultati e possibili ottimizzazioni tecnologiche.

Risultati attesi: caratterizzazione dei meccanismi di degrado che si presentano nei dispositivi GaN HEMT quando sottoposti a stress DGS e DRB, interpretazione dei risultati e possibili proposte di ottimizzazione per migliorare l'affidabilità dei dispositivi oggetto di studio.

Profilo del candidato: laurea specialistica/magistrale in Ingegneria Elettronica, Ingegneria Fisica, Ingegneria delle Nanotecnologie, Ingegneria dei Materiali, Nanotecnologie, Fisica, con le seguenti competenze: dispositivi elettronici a semiconduttore, esperienza con strumenti di misura e buone capacità analitiche.

Collaborazioni: l'attività sarà svolta presso il Campus di Cesena dell'Università di Bologna con il supporto di STMicroelectronics, che fornirà la tecnologia GaN HEMT da testare.

Piano temporale:

- 1°-2° mese: studio preliminare e setup iniziale.
- 3°-7° mese: test di Dynamic Gate Stress (DGS).
- 8°-12° mese: test di Dynamic Reverse Stress (DRS).
- 3°-12° mese: analisi dati, discussione con STMicroelectronics, redazione di report tecnici/pubblicazioni scientifiche.

Prospettive future: previo consenso di entrambe le parti, l'attività di ricerca potrebbe proseguire attraverso un percorso di dottorato o mediante un'estensione temporale del contratto.